

METHOD OF FORMING SILICON NITRIDE THIN FILM OR SILICON OXIDE NITRIDE GATE DIELECTRIC

Publication number: JP10173187

Publication date: 1998-06-26

Inventor: KRAFT ROBERT; HATTANGADY SUNIL V; GRIDER DOUGLAS T

Applicant: TEXAS INSTRUMENTS INC

Classification:

- International: H01L29/78; H01L21/28; H01L21/318; H01L21/8234; H01L29/51; H01L29/66; H01L21/02; H01L21/70; H01L29/40; (IPC1-7): H01L29/78; H01L21/318

- European: H01L21/28E2C2C; H01L21/28E2C2N; H01L21/8234J; H01L29/51N

Application number: JP19970335805 19971205

Priority number(s): US19960035375P 19961205

Also published as:

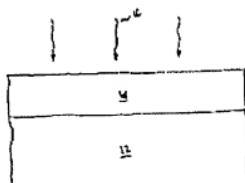
EP0847079 (A2)

EP0847079 (A3)

[Report a data error here](#)

Abstract of JP10173187

PROBLEM TO BE SOLVED: To form a gate insulation layer to contain scarcely hydrogen therein, by so exposing an oxygen containing layer formed on a semiconductor substrate to a plasma containing nitrogen as to entrap nitrogen in the oxygen containing layer. **SOLUTION:** A gate insulation layer 14 comprising an oxygen containing layer of 10 to 150 μ m thickness is formed on a semiconductor substrate 12. Then, the gate insulation layer 14 is so exposed to a plasma with nitrogen containing substances entrapped therein that the ionized substances are implanted in the surface of the layer 14 acceleratedly at a plasma potential without applying any bias voltage to the semiconductor substrate 12. As a result, nitrogen is entrapped in the gate insulation layer 14 or a nitride layer is formed in the surface portion of the substrate 12. Thereby, it is possible to make the gate insulation layer 14 scarcely contain hydrogen, and therefore, there can be realized a film which has the advantage of the electrical characteristic of an oxide film too, as utilizing actively the advantage of the barrier characteristic of a nitride film.



Data supplied from the esp@cenet database - Worldwide

(19)日本特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-173187

(43)公開日 平成10年(1998)6月26日

(51)Int.Cl.⁴H 01 L 29/78
21/318

職別記号

F I

H 01 L 29/78
21/3183 0 1 C
C

審査請求 未請求 請求項の数 1 O L (全 9 頁)

(21)出願番号 特願9-335805
 (22)出願日 平成9年(1997)12月5日
 (31)優先権主張番号 0 3 5 3 7 5
 (32)優先日 1996年12月5日
 (33)優先権主張国 米国(US)

(71)出願人 590000879
 テキサス インスツルメンツ インコーポ
 レイテッド
 アメリカ合衆国テキサス州グラス, ノース
 セントラルエクスプレスウェイ 13500
 (72)発明者 ロバート クラフト
 アメリカ合衆国テキサス州ブラン, ピート
 ン シーティー, 8400
 (72)発明者 サニル ブイ, ハツタンガディ
 アメリカ合衆国テキサス州マッキニー, セ
 ント レミィ ドライブ 2403
 (74)代理人 弁理士 浅村 哲 (外3名)

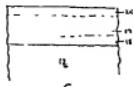
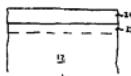
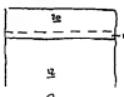
最終頁に続く

(54)【発明の名称】 薄膜空化珪素または酸化空化珪素ゲート誘電体の形成方法

(57)【要約】

【課題】 硅化物膜の障壁特性の利点を生かしつつ、また酸化物膜の電気的特性の利点をも有する膜を製造するための方法を提供する

【解決手段】 1つの表面を有する半導体基板を用意し、前記半導体基板の上に酸素含有層を形成し、前記酸素含有層を窒素を含むプラズマに曝して、前記窒素が前記酸素含有層の中に混入されるかまたは前記基板の前記表面部に窒化物層を形成させるようにする。



【特許請求の範囲】

【請求項1】 誘電体層を形成するための方法であつて、該方法が：半導体基板を用意し、該基板は1つの表面を有し：前記半導体基板の上に酸素含有層を形成し：そして前記酸素含有層を窒素を含むプラズマに曝して、前記窒素が前記酸素含有層の中に混入されるかまたは前記基板の前記表面部に窒化物層を形成させる、以上のステップを含む前記方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体デバイス製造ならびに処理に係わり、更に詳細にはゲート誘電体層の新奇な構造に関する。

【0002】

【従来の技術】 現在、半導体デバイスを小型化する要望が強く存在しており、それによってより高速で電力消費の少ない半導体チップの上に高い密度のデバイスを提供しようとしている。デバイスの横方向寸法が大きくなると、十分なデバイス性能を確保するために同様に垂直方向の大きさも必要となる。このように垂直方向寸法が大きくなると、要求されるデバイス性能を実現するためにはゲート誘電体の厚さを薄くするが必要が生じる。しかしながらゲート誘電体を薄くすると、多結晶シリコンゲート構造からのドーパント拡散または金属ゲート構造からの金属拡散に対する障壁が小さくなり、結果としてデバイスの電気的性能および信頼性を減じかねない。

【0003】 これらの問題を解消する1つの手段は、窒化珪素をゲート誘電体層として使用することである。窒化珪素は典型的な熱成長酸化珪素膜よりも高電界強度を有し、また不純物拡散に対してより高い抵抗を具備している。しかしながら標準的に蒸着された窒化珪素の電気的特性は熱酸化物よりも遙かに劣っている。従ってゲート絶縁体として有効な従来式窒化珪素膜を製造するためには、窒化物層と基板との間に酸化物層を形成しなければならない。

【0004】 最近、典型的な酸化珪素膜と同様な電気的特性を有する窒化珪素膜を蒸着するための技術が開発された。この新技术はジェット蒸気蒸着 (JVD : Jet Vapor Deposition) と呼ばれる。シーウエン・ウォン (Kie-wen Wang) その他のによる、ジェット蒸気蒸着で製造された高信頼性窒化珪素薄膜、JPN. J. APPL. PHYS.、巻34、ページ955-958 (1995年) 参照。JVDは、例えばヘリウムの様な軽いキャリヤーガスの超音速ジェットを利用して蒸着蒸気をその源から基板に搬送している。この技術はゲート誘電体として使用可能な窒化珪素膜を作り出しが、以下の問題を生じる：これは比較的複雑な処理工程であり、これはプラズマジェットをウェーファを横切るようにラスター走査し、膜をウェーファ全体に蒸着させる手順を含む（またこれを信頼性を保ちながら完了させるのは難しい）；この処理工

程は簡単に規則抵抗を行なうことが出来ず、大口径ウェーファ（例えば20-30センチ（8-12インチ）ウェーファ）上に広範囲な膜を形成することは出来ない；結果として出来る膜の中に水素が含まれる；そして、この処理工程の生産性の低い工程である、何故ならばその蒸着速度が極端に遅いためである。

【0005】 酸化物膜の電気的特性の利点を生かす一方でまた窒化物膜の障壁特性をも得たため別の方法は、窒素をゲート酸化物層の中に組み込むことで実現できる。典型的にこれは窒化酸化物の再酸化処理工程で実現できる。この処理工程はアンモニアを使用して窒素をゲート酸化物層の中に導入する。不幸にして、アンモニアをゲート酸化物の中に侵入させるためには1000度を超える温度が必要である。加えて、一度高温反応が開始するとゲート酸化物の中に組み込まれる窒素濃度を制御することは困難である。半導体基板とゲート酸化物間のインターフェース近くに過度な窒素が存在すると、閾電圧に悪影響を与えたデバイスのチャンネル移動速度も低下させるがこれは固定電荷のクーロン効果およびチャンネル領域内のキャリア上の窒素に関連するインターフェースチャージ電荷を通じて行われる。

【0006】 その他の実験的仕事がなされてきており、これには遠隔プラズマに曝することで行われる窒化が含まれる。エス・ブイ・ハタングガディー (S.V.Hattangady) その他のによる、ゲート酸化物表面への窒素混入制御、66 Appl.Phys.Lett. 34 95 (1995年6月19日) 参照。この処理工程は特にゲート導体インターフェースでの窒素混入提供し、高圧 (100ミリTorr) かつ低電力 (30Watt) の比較的低いイオン濃度とイオンフラックスの処理工程を用いている。低イオン濃度およびイオンフラックスのために、混入される窒素を希望する濃度とするには長時間 (10-60分程度) 必要である。このようにプラズマに長時間曝されるために、電荷が酸化物に損傷を与える確率が増加する。加えて、この方法を使用すると生産性が著しく低下する。

【0007】 したがって本発明の1つの目的は、窒化物膜の障壁特性の利点を生かしつつ、また酸化物膜の電気的特性の利点をも有する膜を提供することである。

【0008】

【発明が解決しようとする課題】 本発明の1つの実施例は誘電体層を形成するための方法であつて、この方法は次のステップを含む：半導体基板を用意する、この基板は1つの表面を有する；この半導体基板上に酸素含有層を形成する；そしてこの酸素含有層を窒素を含むプラズマに曝し、この窒素が酸素含有層に混入されるかまたは基板の間に窒化物層を形成するようにする。本発明のこの実施例を使用することにより、誘電体層がほとんど水素を含まないようになる。好適にこの酸素含有層はSiO₂層であるかまたは酸素および窒素で構成される（好適に酸化窒化物層）。プラズマは好適に高密度プラ

ズマである。好適に窒素源がプラズマの中に導入され、窒素を含むプラズマを形成する。窒素源は好適に下記を含む物質で構成される：N₂，NH₃，NO，N₂Oまたはこれらの混合物。

【0009】本発明の別の実施例はゲート誘電体層の上に蒸着された導電性ゲート構造を有するトランジスタを形成するための方法であり、この方法は下記のステップを含む：半導体基板を用意する。この基板は1つの表面を有する：この半導体基板上に誘電体層を用意する、この誘電体層は窒素を含む：この誘電体層は窒素を含むプラズマに曝し、窒素がゲート絶縁層に混入されるかまたは酸化物層を基板の表面上に形成するようする；そして此処において、ゲート誘電体は窒素を混入された誘電体層で構成されるかまたは基板の表面上に形成された窒化物層である。好適に導電性ゲート構造はドーピングされた多結晶シリコンまたは金属で構成される。本発明のこの実施例を使用すると、ゲート誘電体層はほぼ水素を含まないようになる。好適にこの誘電体層はSiO₂層であるかまたは酸化物層である。

【0010】本発明の別の実施例はキャパシタ誘電体を有するキャパシタを形成するための方法であって、以下のステップを含む：半導体基板を用意する；第一電極を半導体基板の上に形成する；誘電体層を第一電極上に用意する、この誘電体層は酸化物を含む；この誘電体層を窒素を含むプラズマに曝し、窒素が誘電体層の中に混入されるかまたは酸化物層を第一電極の表面に形成するようする；誘電体層をプラズマに曝した後に第二電極をこの誘電体層の上に形成する；そして此處においてキャパシタ誘電体は窒素を混入された誘電体層を含むかまたは第一電極の表面に形成された窒化物層のいずれかである。

【0011】

【課題を解決するための手段】以下の説明は本発明の2つの実施例を中心に行う。両実施例の説明はゲート誘電体に関する新奇な構造を含んでいるが、本方法はゲート誘電体層の構造に制限されるものではない。本実施例は半導体デバイスの構造で必要とされるその他の層を形成するために使用することが出来る。例えば本発明をキャパシタ構造内の誘電体物質を形成するために使用することが出来ると、または導電性構造を絶縁するために使用することも出来る。以下の記述はゲート誘電体層の構造を説明しているが、当業者は以下の説明の教えを用いて半導体デバイス内のその他の層を形成できるはずである。図の中で同様の特徴または類似の処理工程ステップを図示するために同様の参照番号が使用されている。

【0012】

図1、2、および3a並びに図4aの発明を参照すると、絶縁層14が半導体構造12（これは好適にシリコン基板またはシリコン基板上に形成されたエピタキシャルシリコン層）の上に形成される。好適に絶縁層14は10から150厚さの酸素含有層【好適に酸

化物層、酸化物層のいずれか、またはその他の絶縁層】更に好適には、10から80厚さの酸化物層——もっと好適には10から45厚さの酸化物層】であり、これは熱成長、蒸着、またはそれらの組み合わせのいずれかである。このステップは図4aのブロック502に対応する。図2および図4aのステップ504を参照すると、絶縁層14がプラズマに曝されており、これには窒素含有物質が混入されている。好適に窒素含有物質は、N₂，NH₃，NO，N₂Oまたはこれらの混合物であり、プラズマは好適に高密度プラズマである。ウェーファにバイアスをかけないようにすることも可能であり、その場合イオン化された物質はプラズマ電位（これは典型的には20ボルト程度）で加速され絶縁表面の中に打ち込まれる。バイアス電圧をウェーファに引加してプラズマからのイオンを更に加速して、これらを絶縁表面の中により深く打ち込むことも可能である。DCまたはRFバイアス電圧のいずれもウェーファにバイアスをかけるために使用できる。最も好適には、ステップ504は以下の処理条件で実行される：開始酸化物厚さは10から150厚さである；プラズマ密度はおよそ1×10¹⁰から1×10¹¹c m⁻³である；露量は1から1000s c m程度である；処理圧力は好適に1から50mTorr程度である；温度は好適に70から900Kの範囲である；基板（ウェーファ）バイアスは0から50ボルト程度である；また露出の期間は1から60秒の間である。

【0013】図3aはステップ504の結果を図示する。ウェーファのバイアスおよびプラズマ密度に応じて、窒素は絶縁層14の中に組み込まれる。この結果が層14のSi₁/N₀部20および層14のSi₁/O₀部18である。好適に部分20の中では窒素量が酸素量を上回る。実際、部分20の中では酸素（おそらく非常に少ない無酸素）よりも多くの窒素が存在することが好適である。部分18は部分20とはほぼ同じであっても構わないし、またはこれら2つの部分が異なる量の珪素、窒素、および酸素を含むようにしても構わない。実際、部分18は比較的純粋なSiO₂膜を残していくても構わないし、またほとんど珪素と窒素まで構成されているても構わないし、またはこれら両極端の間の珪素、窒素および酸素がある割合で構成されているても構わない。添加される窒素の量は処理工程条件に依存するので、これらの処理工程条件はどんなトランジスタの設計にも最適となるように操作される。

【0014】更に、部分18と20との間の遷移ははっきりしておらず、窒素濃度に関して傾斜がついている。これと代わるように、部分18と20との間の遷移を窒素が僅かであるかまたは無窒素の領域（図3cの領域19）で特徴付けることも出来、これにはいずれかの側の窒素含有部分（部分18および20）に拘束されている。更に詳細には図3cの実施例を酸化物部分18、ほ

とんど酸化物を含む部分、および塗化物または塗化酸化物部分20°で構成することができる。

【0015】図1、2、および3a、並びに図4bの実施例を参照すると、ゲート絶縁体14が半導体構造12(好適にシリコン基板またはシリコン基板の上に形成されたエビタキシカルシリコン層)の上に標準の処理工程を使用して形成される。好適に、ゲート絶縁体14は10から200(更に好適には10から80、もっと好適には10から45)厚さの熱成長SiO₂膜、蒸着されたSiO₂膜、またはこれらの組み合わせで形成された膜を含む。次に、図2および図4bのステップ503を参照すると、ウェッファが窒素含有ラズマに曝される。好適にこのラズマは高密度ラズマ(好適にヘリコン発生源、螺旋共振器発生源、電子・サイクロトロン共鳴発生源、またはインダクタンス結合発生源、または低密度ラズマでも構わない)であり、窒素含有源はN₂、NH₃、NO、N₂Oまたはこれらの中の混合物である。ウェッファに適切なバイアス(好適に0~500ボルト)をかけることにより、ラズマに含まれるイオン化された粒子が電界電場14を通過し半導体構造12の表面で反応する。好適にこれは結果として塗化珪素層22を形成し、これは半導体構造12の一部として形成される。誘電体層14(これは図3bの層24として参照される)はいきばくかの窒素を捕捉するかまたは単にそれを通過させる。加えて、ラズマ16が導入されるのでゲート絶縁体は完全に吹き飛ばされるか、部分的に飛ばされて層24(好適にシリコン、酸素、及びいくらかの量の窒素を含む)を形成するか、またはこれは取り除かれる。好適に、図4bのステップ503で使用される処理工程条件は下記の通りである：酸化物厚さはおよそ10から80厚さ(好適におよそ20の厚さ)；ラズマ密度はおよそ 1×10^{10} から $1 \times 10^{12} \text{ cm}^{-3}$ ；窒素流量はおよそ1から1000sccm；処理圧力はおよそ4mTorr；温度はおよそ300K；基板(ウェッファ)バイアスはおよそ0から500ボルト；そしてラズマへ曝す時間はおよそ1~6秒である。

【0016】図4aのステップ504および図4bのステップ503の両者に於いて、基板バイアス、ラズマへの露出の長さ(時間)、ラズマ電力、および塗化後に焼き純しを使用するか否かは、絶縁層または下側の半導体構造の中に窒素を更に取り込むかまたは取り込みを中止するか、また誘電体そして/または基板の損傷を修復するかに応じて代替法に変更したり/使用したりする事ができる。更に、低密度ラズマまたは高密度ラズマは導入量すなわち必要とされる窒素の量に応じて選択して使用される。

【0017】本実施例は下記のいずれかを形成するために使用される：均質珪素酸化物層、均質珪素塗化物層、ゲート絶縁層の最上面部の酸化塗化珪素または塗化珪素インタフェース層、ゲート絶縁層の最上面部そ

して/または最下表面部の酸化塗化珪素または塗化珪素インタフェース層。好適に本発明の実施例を使用して形成されたゲート絶縁体は0、1から57の原子百分率の窒素成分を有する。

【0018】図5から図8は本発明の方法を使用して形成されたゲート誘電体膜内の酸素および窒素のレベルを図示するグラフである。図5は以下の条件で塗化された600酸化膜の二次イオン質量分析計(SIMS)分析で得られたデータを図示したものである：ラズマ電力は2000W(高密度ヘリコン方式ラズマ)；基板バイアスは0ワット；ガス流量は1000sccmの窒素；周辺圧力は4mTorr；そしてラズマ露出時間は11秒。図5は最上面/インターフェース部の窒素混入を示す。図6は以下の条件で塗化された60酸化膜の飛行時間型二次イオン質量分析計(SIMS)分析で得られたデータを図示したものである：ラズマ電力は2000W(高密度ヘリコン方式ラズマ)；基板バイアスは0ワット；ガス流量は1000sccmの窒素；周辺圧力は4mTorr；そしてラズマ露出時間は30秒。図6は最上面および底部/インターフェース部の窒素混入を示す。図7は以下の条件で塗化された35酸化膜の二次イオン質量分析計(SIMS)分析で得られたデータを図示したものである：ラズマ電力は2000W(高密度ヘリコン方式ラズマ)；基板バイアスは0ワット；ガス流量は1000sccmの窒素；周辺圧力は4mTorr；そしてラズマ露出時間は6秒。図7は膜の後方に微少量の酸素を残した塗化珪素がほぼ完全に形成されていることを示す。図8は以下の条件で塗化された7酸化膜の飛行時間型二次イオン質量分析計(SIMS)分析で得られたデータを図示したものである：ラズマ電力は2000W(高密度ヘリコン方式ラズマ)；基板バイアスは450ワット；ガス流量は1000sccmの窒素；周辺圧力は4mTorr；そしてラズマ露出時間は10秒。

【0019】此処には本発明の特定の実施例を説明したが、これらは本発明の範囲を限定することを意図したものでは無い。本発明の多くの実施例が当業者には明細書に示す方法から明らかであろう。本発明の範囲は添付の特許請求の範囲によってのみ限定される。以上の説明に関して更に以下の項を開示する。

【0020】(1) 誘電体層を形成するための方法であつて、該方法が：半導体基板を用意し、該基板は1つの表面を有し：前記半導体基板の上に酸素含有層を形成し；そして前記酸素含有層を窒素を含むラズマに曝して、前記窒素が前記酸素含有層の中に混入されるかまたは前記基板の前記表面に塗化物層を形成させる、以上のステップを含む前記方法。

【0021】(2) 第1項記載の方法に於いて、前記誘電体層が酸素を含まない前記方法。

【0022】(3) 第1項記載の方法に於いて、前記酸

素含有層がS i O₂層である前記方法。

【0023】(4) 第1項記載の方法に於いて、前記酸素含有層が酸素および窒素を含む前記方法。

【0024】(5) 第1項記載の方法に於いて、前記酸素含有層が酸化窒化物層である前記方法。

【0025】(6) 第1項記載の方法に於いて、前記アラズマが高密度プラズマである前記方法。

【0026】(7) 第1項記載の方法に於いて、窒素源が前記アラズマの中に導入されて前記窒素を含むアラズマを形成する前記方法。

【0027】(8) 第7項記載の方法に於いて、前記窒素源がN₂、NH₃、NO、N₂Oまたはこれらの混合物から成る物質を含む前記方法。

【0028】(9) ゲート誘電体層の上に蒸着された導電性ゲート構造を有するトランジスタを形成するための方法であつて、該方法が、半導体基板を用意し、該基板は1つの表面を有し：前記半導体基板の上に酸素含有層を用意し、該誘電体層が酸素を含み：前記誘電体層を窒素を含むアラズマに曝して、前記窒素が前記ゲート誘電体層の中に混入されるかまたは前記基板の前記表面部に窒化物層を形成させる、以上のステップを含み：そして前記ゲート誘電体層が前記窒素を混入された前記誘電体層または前記基板の前記表面部に形成された前記窒化物層のいずれかを含む前記方法。

【0029】(10) 第9項記載の方法に於いて、前記導電性ゲート構造がドーピングされた多結晶シリコンを含む前記方法。

【0030】(11) 第9項記載の方法に於いて、前記導電性ゲート構造が金属を含む前記方法。

【0031】(12) 第9項記載の方法に於いて、前記ゲート誘電体層がほとんど水素を含まない前記方法。

【0032】(13) 第12項記載の方法に於いて、前記誘電体層がS i O₂層である前記方法。

【0033】(14) 第9項記載の方法に於いて、前記誘電体層が酸化窒化物層である前記方法。

【0034】(15) キャバシタ誘電体を有するキャバシタを形成するための方法であつて、該方法が：半導体基板を用意し：前記半導体基板の上に第一電極を形成し：前記第一電極の上に誘電体層を用意し、該誘電体層が酸素を含み：前記誘電体層を窒素を含むアラズマに曝して、窒素が前記誘電体層の中に混入されるかまたは前記第一電極の前記表面部に窒化物層を形成させ：前記誘電体層を前記アラズマに曝した後に前記誘電体層の上に第二電極を形成する、以上のステップを含み：そして前記キャバシタ誘電体が前記窒素を混入された前記誘電体層または前記第一電極の前記表面部に形成された前記窒化物層のいずれかを含む前記方法。

【0035】(16) 本発明の1つの実施例は誘電体層

を形成するための方法であり、この方法は以下のステップを含む：半導体基板（基板12）を用意する、この基板は1つの表面を有する；酸素含有層（層14）を半導体基板上に形成する；そして酸素含有層を窒素を含むアラズマ（アラズマ16）に曝し、窒素が酸素含有層に混入されるか（領域18、19、および20参照）または窒化物層を基板の表面部（領域22）に形成する。本発明のこの実施例を使用して誘電体層はほとんど水素を含まないように出来る。好適に酸素含有層はS i O₂層であるか、または酸素および窒素を含む（好適に酸化窒化物層）。アラズマは好適に高密度アラズマである。好適に窒素源がアラズマに導入されて窒素を含むアラズマが形成される。窒素源は好適に、N₂、NH₃、NO、N₂Oまたはこれらの混合物から成る物質を含む。

【関連特許／特許出願の相互参照】以下に共通に委譲されている特許／特許出願をここにあげることで参照する。

特許番号／シリアル番号	申請日時
	T1ケース番号
60/019,429	1996年7月6日
	T1-23502P

【図面の簡単な説明】

【図1】図1は製造された半導体デバイスの断面図。

【図2】図2は製造された半導体デバイスの断面図。

【図3】図3は本発明の1つの実施例の方法を図示し、aは本発明の1つの実施例の方法、bは本発明の別の実施例、そしてcは本発明の別の実施例。

【図4】図4は本発明の2つの実施例の方法を図示する流れ図であり、aは1つの実施例の流れ図、そしてbは別の実施例の流れ図。

【図5】図5は本発明の方法を用いて形成されたゲート誘電体層内の酸素と窒素の量を図示するグラフ。

【図6】図6は本発明の方法を用いて形成されたゲート誘電体層内の酸素と窒素の量を図示するグラフ。

【図7】図7は本発明の方法を用いて形成されたゲート誘電体層内の酸素と窒素の量を図示するグラフ。

【図8】図8は本発明の方法を用いて形成されたゲート誘電体層内の酸素と窒素の量を図示するグラフ。

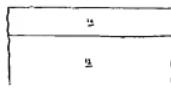
【符号の説明】

- 1 2 基板
- 1 4 絶縁層
- 1 6 プラズマ
- 1 8 酸化窒化物
- 1 9 邻接領域
- 2 0 窒化物または窒化物
- 2 2 窒化珪素層
- 2 4 誘電体層

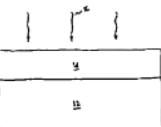
(6)

特開平10-173187

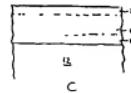
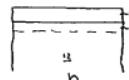
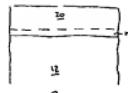
【図1】



【図2】

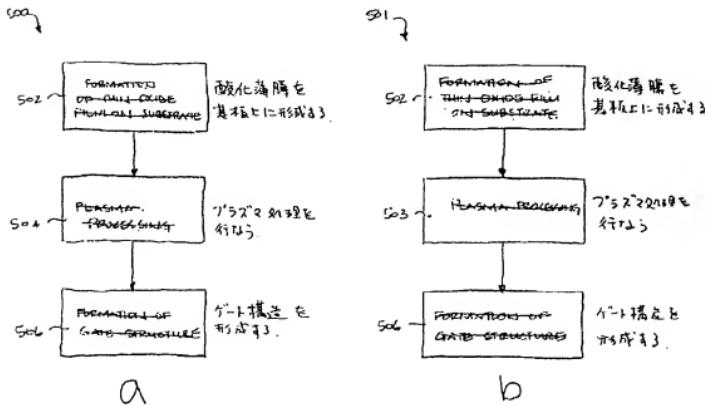


【図3】



C

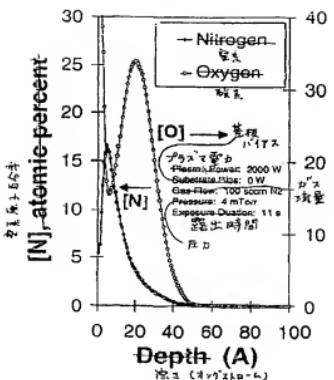
【図4】



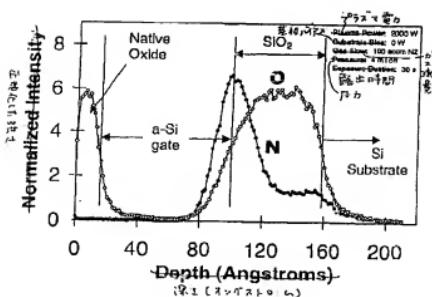
(7)

特開平10-173187

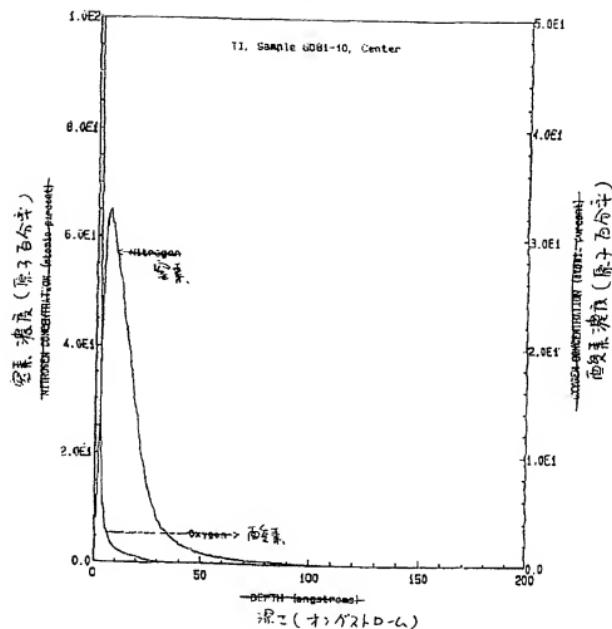
【図5】



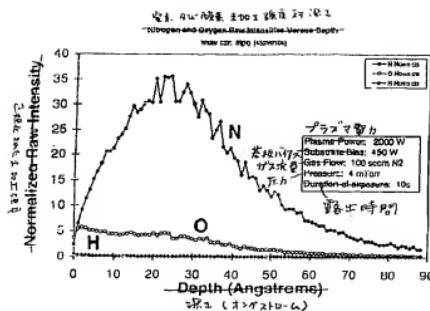
【図6】



[図 7]



【図8】



フロントページの続き

(72)発明者 グラス ティー、グリダー
アメリカ合衆国テキサス州マッキニー、サ
マー ツリー エルエヌ、2827

Family list

5 family members for: JP10173187

Derived from 4 applications

[Back to JP10173187](#)**1 Method of manufacturing an MIS electrode****Inventor:** KRAFT ROBERT (US); HATTANGADY

SUNIL V (US); (+1)

EC: H01L21/28E2C2C; H01L21/28E2C2N; (+2)**Applicant:** TEXAS INSTRUMENTS INC (US)**IPC:** H01L29/78; H01L21/28; H01L21/318 (+8)**Publication info:** EP0847079 A2 - 1998-06-10**EP0847079 A3 - 1999-11-03****2 METHOD OF FORMING SILICON NITRIDE THIN FILM OR SILICON****OXIDE NITRIDE GATE DIELECTRIC****Inventor:** KRAFT ROBERT; HATTANGADY SUNIL V;**Applicant:** TEXAS INSTRUMENTS INC

(+1)

EC: H01L21/28E2C2C; H01L21/28E2C2N; (+2)**IPC:** H01L29/78; H01L21/28; H01L21/318 (+8)**Publication info:** JP10173187 A - 1998-06-26**3 Method of forming multiple gate oxide thicknesses using high density****plasma nitridation****Inventor:** OKUNO YASUTOSHI (US); HATTANGADY**Applicant:** TEXAS INSTRUMENTS INC (US)

SUNIL V (US)

EC: H01L21/28E2C2C; H01L21/28E2C2N; (+2)**IPC:** H01L21/28; H01L21/8234; H01L29/51 (+4)**Publication info:** US6110842 A - 2000-08-29**4 Method of forming thin silicon nitride or silicon oxynitride gate dielectrics****Inventor:** KRAFT ROBERT (US); HATTANGADY**Applicant:** TEXAS INSTRUMENTS INC (US)

SUNIL (US); (+1)

EC: H01L21/28E2C2C; H01L21/28E2C2N; (+2)**IPC:** H01L21/28; H01L21/8234; H01L29/51 (+6)**Publication info:** US6136654 A - 2000-10-24Data supplied from the esp@cenet database - Worldwide